

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-252367

(43)Date of publication of application : 09.09.1994

(51)Int.Cl.

H01L 27/118

(21)Application number : 06-035438

(71)Applicant : SIEMENS AG

(22)Date of filing : 07.02.1994

(72)Inventor : KEITEL-SCHULZ DORIS

(30)Priority

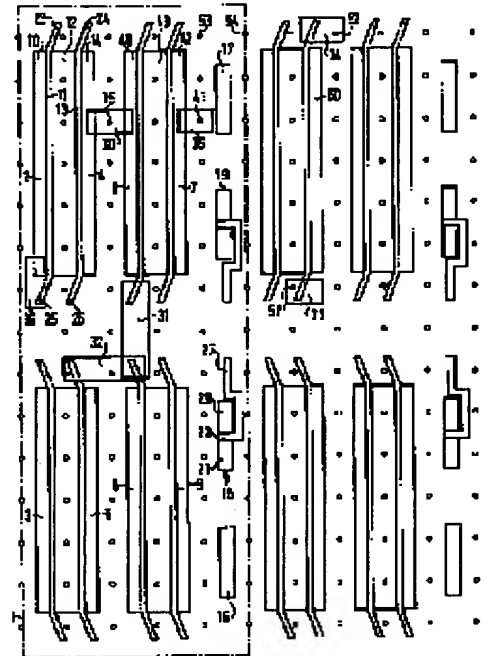
Priority number : 93 4304122    Priority date : 11.02.1993    Priority country : DE

## (54) SEMICONDUCTOR DEVICE HAVING BASIC CMOS CELL

(57)Abstract:

**PURPOSE:** To provide a semiconductor device having a basic CMOS cell, with which wiring can be flexibly performed without occupying a large area.

**CONSTITUTION:** A basic cell 1 for CMOS gate array includes MOS transistors 2-9, with which the diffusion area and gate electrode of that cell can be directly connected to local conductor path fragments 30-36. It is advantageous if the local conductor path fragment is composed of a silicide. It is advantageous if the transistors respectively joined to a pair of conductive types 2 and 4 have a shared diffusion area 12, and its capacitive operation area is sized double in comparison with the areas of respective diffusion areas 10 and 14. By arranging other transistors 18 and 19 in the smaller aspect ratio inside this basic cell, planarly advantageous analog circuit and storage circuit can be provided.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-252367

(43)公開日 平成6年(1994)9月9日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/118

9169-4M

H 0 1 L 21/ 82

M

審査請求 未請求 発明の数 8 F D (全 5 頁)

(21)出願番号 特願平6-35438

(22)出願日 平成6年(1994)2月7日

(31)優先権主張番号 P 4 3 0 4 1 2 2. 1

(32)優先日 1993年2月11日

(33)優先権主張国 ドイツ (DE)

(71)出願人 390039413

シーメンス アクチエンゲゼルシャフト

SIEMENS AKTIENGESEL  
LSCHAFT

ドイツ連邦共和国 ベルリン 及び ミュ  
ンヘン (番地なし)

(72)発明者 ドリス カイテル-シュルツ

ドイツ連邦共和国 81739 ミュンヘン

ニューメラーアレー 10

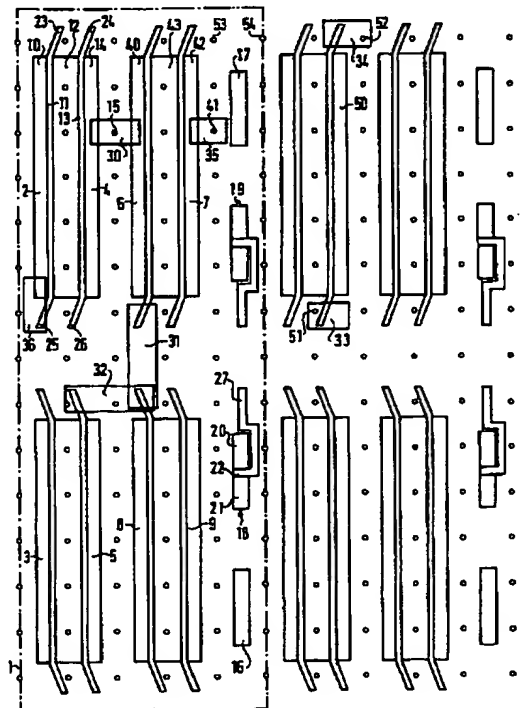
(74)代理人 弁理士 富村 潔

(54)【発明の名称】 CMOS基本セルを有する半導体装置

(57)【要約】

【目的】 配線を柔軟かつ場所をとらずに行うことのできるCMOS基本セルを有する半導体装置を提供する。

【構成】 CMOSゲートアレイ用基本セル1はその拡散領域及びゲート電極が局部導体路切片30~36と直接接続可能であるMOSトランジスタ2~9を含んでいる。局部導体路切片は有利にはケイ化物からなる。それぞれ導電型2、4の対に配接されているトランジスタは有利には共有拡散領域12を有しており、その容量作用面積は個々の拡散領域10、14の面積の二倍の大きさがある。この基本セル内に縦と横の割合が小さいもう1つのトランジスタ18、19を配列することにより面的に有利なアナログ回路及び記憶回路を実現することができる。



## 【特許請求の範囲】

【請求項1】 (a) 多数の基本セル(1)が半導体基板上に行及び列方向に配設されており、

(b) 各基本セル(1)が少なくとも1個のnチャネル型トランジスタ(2)と少なくとも1個のpチャネル型トランジスタ(3)を有しており、

(c) これらのトランジスタ(2、3)がそれぞれリボン状のゲート電極(11)を有しており、

(d) 各リボン状ゲート電極(11)の両側にそれぞれ拡散領域(10、12)が配設されており、

(e) 各ゲート電極(11)がその端部にそれぞれ列方向を向いた拡散領域の外部にそれぞれ端子部分(23、25)を有しており、

(f) n及びpチャネル型トランジスタ(2、3)が列方向に互いに並列に配設されている半導体装置において、ゲート電極の端子部分の1つ又は拡散領域の1つと酸化物層を介在せずに接続されている少なくとも1つの局部導体路切片(31~36)が設けられていることを特徴とする半導体装置。

【請求項2】 各ゲート電極(11、13)の端子部分(23、25、24、26)がそれぞれ列方向に鋭角をなして延びており、ゲート電極の第1の端部の端子部分(23、25)の角度がゲート電極の第2の端部の端子部分(24、26)に対して逆向きに形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 各基本セルが少なくとも1個のnチャネル型トランジスタ対と少なくとも1個のpチャネル型トランジスタ対を含んでおり、それらのトランジスタ対がそれぞれ行方向に互いに並列に配設されており、各対のトランジスタの境を接する拡散領域が共有拡散領域を形成していることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 共有拡散領域の容量作用面積が個々の拡散領域の面積の2倍の大きさを有していることを特徴とする請求項3記載の半導体装置。

【請求項5】 酸化物層上に延びている金属製導体路と局部導体路切片又は共有拡散領域を接続することのできる接触孔からなるマトリックスが固定されており、マトリックスの1列が共有拡散領域上にありまたマトリックスの直接隣接する列が拡散領域の外部にあるように拡散領域が行方向に沿って延びていることを特徴とする請求項3又は4記載の半導体装置。

【請求項6】 個々の基本セル内にそれぞれ行方向に並ぶnチャネル型トランジスタ対及びpチャネル型トランジスタ対の他にもう1つのトランジスタと基板端子が配設されており、このもう1つのトランジスタのゲート電極がn及びpチャネル型トランジスタ対のトランジスタのゲート電極よりも縦と横の割合が小さいことを特徴とする請求項3又は4記載の半導体装置。

【請求項7】 各々のもう1つのトランジスタの第1の

部分内のゲート電極が列方向に沿った方向をとり、第1の部分のゲート電極の両側にそれぞれ拡散領域が配設されており、ゲート電極の第2の部分に行方向にn及びpチャネル型トランジスタ対のトランジスタの端子部分と並んで配置されている端子部分を有していることを特徴とする請求項6記載の半導体装置。

【請求項8】 局部導体路切片(31~36)がケイ化物からなることを特徴とする請求項1ないし7の1つに記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はCMOS基本セルを有する半導体装置に関する。

【0002】

【従来の技術】 欧州特許出願公開第0182121号明細書から公知の半導体装置ではトランジスタの拡散領域及びゲート電極は金属導体路により互いに接続されている。それらの導体路及びトランジスタは連続した酸化物層により電気的に互いに分離されている。通常複数個の配線面が存在し、それらは別の酸化物層によって互いに絶縁されている。配線面の導体路はそれぞれ一方だけに延びている。例えば第1の配線面の導体路は第1の方向に沿って延びており、第2の配線面の導体路は第1の垂直方向に対して第2の方向をとり、第3の配線面の導体路は第1或は第2の方向をとる。従って半導体装置の2つの面帯域間の接続は一般に異なる配線面に属している互いに垂直に延びる金属製導体路切片から形成されている。

【0003】 導体路をトランジスタの拡散領域及びゲート電極と接続した異なる配線面の導体路を接続するために接触孔はその都度酸化物層を介して備えられている。直接隣接する接触孔は互いに予め設定された最短の間隔を有していなければならない。従って接触孔を設置することのできる点からなるマトリックスが固定されている。また拡散領域は、その上に少なくとも一列の点マトリックスがあり、接触孔を完全に収容するように配設されている。ゲート電極はその端部に接触孔を収容するためにそれぞれ拡大された端子部分を有している。

【0004】 ゲート電極と拡散領域の接触化がそのために設けられたマトリックスの点のみで可能であり、各配線面の接続線が一方に沿ってだけ延びているためトランジスタを互いに交錯させずに製造するにはかなり経費を要する。

【0005】

【発明が解決しようとする課題】 本発明の課題は、その配線をフレキシブルにかつ場所をとらずに行うことのできる上記形式の基本セルを有する半導体装置を提供することにある。

【0006】 この課題は、(a) 多数の基本セルが半導体基板上に行及び列方向に配設されており、(b) 各基

10

20

30

40

50

本セルが少なくとも1個のnチャネル型トランジスタと少なくとも1個のpチャネル型トランジスタを有しており、(c)これらのトランジスタがそれぞれリボン状のゲート電極を有しており、(d)各リボン状ゲート電極の両側にそれぞれ拡散領域が配設されており、(e)各ゲート電極がその端部にそれぞれ拡散領域の外部に列方向を向いた接続端子部分を有しており、(f)n及びpチャネル型トランジスタが列方向に互いに並列に配置されている諸特徴を有する半導体装置において、その間にある酸化物層を使用せずにゲート電極の端子部分の1つ又は拡散領域の1つを接続している少なくとも1つの局部導体路切片を設けることにより解決される。

【0007】本発明による半導体装置は、局部的に限定された接続に対して接触孔も金属製配線層も必要としない点で有利である。局部導体路切片は列方向にも行方向にも向けることができる。それにより配線の柔軟性は高められる。また所要床面も少なくなる。

【0008】ゲート電極の端子部分が列方向に1つの角度をなしている場合、接触孔のマトリックスの2つの隣接する列間の交替は金属化面の1つを使用せずに行うことができる。

【0009】少なくとも1つのnチャネル及び1つのpチャネル型トランジスタ対を有し、トランジスタ対の両トランジスタの拡散領域がそれぞれ共有拡散領域を形成する基本セルの場合、共有拡散領域の面積は個々の拡散領域の面積の2倍の大きさに選択される。1つの回路を形成する際個々の2つの拡散領域が互いに接続されているならば、容量負荷はそれぞれ同じであるためこれらは1つの共有拡散領域と電気的に同じに作用する。個々の2つの隣接する拡散領域を金属化面の1つと接触化するには接触孔のマトリックスの1列のみを使用する。このマトリックスの列は個々の2つの拡散領域の間に配設されている。従って個々の拡散領域を小さく設計することができる。

【0010】n及びpチャネル型トランジスタ対の他にそれぞれもう1つの縦と横の割合が小さいトランジスタを基本セル内に収容し、アナログスイッチ機能を形成できることは有利である。この別のトランジスタは静電記憶セルを形成する場合にもデータ線を記憶セルと接続するための選択トランジスタとしても使用できる。こうして所要床面が僅かで済む記憶セルを形成することができる。

【0011】局部導体路切片は有利にはケイ化物から形成される。それにより局部導体路切片とゲート電極及び拡散領域を弱い電気抵抗で電氣的に接続する利点がある。

【0012】

【実施例】本発明を実施例及び図面に基づき以下に詳述する。

【0013】この種の半導体装置は通常ゲートアレイ又

はマスタスライスといわれている。この装置は多数の基本セル1を含んでおり、その中から例として2つの基本セルを図示する。基本セルは規則的に行方向及び列方向に配設されている。基本セルは直接又は互いに間隔をおいて配置することもできる。基本セルの配線に用いられる金属製導体路は酸化物層によって装置のトランジスタと分離されて第1の場合には基本セル上に、また第2の場合には配線チャネルとなる空間内に延びている。

【0014】基本セル1は8個のMOSTランジスタ2ないし9からなる装置を含んでいる。トランジスタ2、4、6、7はnチャネル型トランジスタであり、トランジスタ3、5、8、9はpチャネル型トランジスタである。MOSTランジスタ2は拡散領域10、12及びその間に配設されているゲート電極11からなる。同様にMOSTランジスタ4は拡散領域12、14及びゲート電極13からなる。トランジスタ2、4は共有拡散領域12を有している。他のトランジスタも同様に形成されている。トランジスタ対6、7はトランジスタ対2、4と共に行方向に配置されている。トランジスタ対3、5又は8、9はトランジスタ対2、4又は6、7と共に列方向に配置されている。基本セル1のnチャネル型又はpチャネル型トランジスタの基板範囲を接続するためにそれぞれ基板端子17又は16を設ける。列方向に基板端子16、17と共にそれぞれもう1つのnチャネル型又はpチャネル型トランジスタ18又は19を配設する。トランジスタ18は拡散領域20、21及びゲート電極22を有している。トランジスタ18、19の縦と横の割合はトランジスタ2ないし9の縦と横の割合より小さい。

【0015】各トランジスタのゲート電極は拡散領域の範囲から突出している2つの端子部分を有する。従ってトランジスタ2、4のゲート電極11、13はその一端に端子部分23、24を有しており、他端に端子部分25、26を有している。拡散領域に作用するゲート電極の部分は列方向に延びている。ゲート電極の端子部分23ないし26は列方向に鋭角をなしている。その際トランジスタの拡散領域の一方の側の部分23、24の角度ともう一方の側の部分25、26の角度は互いに逆方向を向いている。即ち図中端子部分23、24の端部は右方向にまた端子部分25、26の端部は左方向に折れている。トランジスタ18のゲート電極22は接続範囲27と接続している。接続範囲27は列方向に沿った方向を向いている。この接続範囲27が列方向に角度を形成することも可能である。

【0016】形成すべき回路に従ってマスタスライス上に予め存在する拡散領域、ゲート電極及び基板端子を相互に配線により接続する。接続を短くするためゲート端子の端子部分及び拡散領域と直接接続する接続導体路の局部切片を設ける。“直接”とは導体路切片が酸化物層によって絶縁されていないことを意味する。従って接続

孔も必要ではない。局部導体路切片36はトランジスタの拡散領域及びゲート端子の外部ではフィールド酸化物を介して導かれる。可能な局部接続の選択は図中30ないし36の符号で示されている。局部接続導体路は有利にはケイ化物から形成される。ケイ化物としては特に珪化チタン、珪化モリブデン又は珪化タングステンが適している。これらの材料は直接、即ちその間にある酸化物層を使用しないで、例えばスパッタリング及び引続いてのエッチングにより接続すべき端子部分に施される。局部接続導体路は例えば互いに並んでいるトランジスタの端子の接続又はトランジスタのゲート電極又は拡散領域を接触孔と接続するような短い接続区間の場合に限って使用される。更に接触孔を介して金属製導体路に接続することも可能である。接触孔は製造過程で形成できる最小の構造幅に制約されて一定の最短距離を互いに維持しなければならない。例えば接触部15、41、51、52のある接触孔のマトリックスは図示されている。局部接続導体路は列方向を向いていても行方向を向いていてもよい。

【0017】局部導体路切片35は例えばトランジスタ7の拡散領域42と接触孔41を接続する。接触孔41が属している接触化マトリックスの列は拡散領域42の外側にある。従って拡散領域42をできるだけ小さく形成することができる。局部導体路切片30によりトランジスタ4、6の拡散領域14、40は互いに接続される。接触部15を介して金属製配線面への接続が可能となる。接触部15が属する接触化マトリックスの列は拡散領域14と40との間に配設されている。この接触化マトリックスに隣接する列は共有拡散領域12又は43内にある。拡散領域の面積を、拡散領域14、40の面積の合計が共有拡散領域12又は43の面積と同じになるように形成することは有利である。従って互いに接続されている拡散領域14と40の基板容量は共有拡散領域12又は43の容量と同じである。従って2つの互いに接続されている拡散領域は共有拡散領域と電気的に同じ作用を示すことが保証される。

【0018】共有拡散領域と個々の拡散領域のこの面積の割合の調整は、個々の拡散領域の金属接触部を局部導体路切片上に形成するためそれらの拡散領域の面積がそれ以上削減されないことから可能になる。

【0019】局部導体路切片31は列方向に向いており、局部導体路切片32は行方向に向いている。従って2つの隣合うトランジスタのゲート端子を金属製配線面を使用しないで接続することが可能となる。局部導体路切片36は同じトランジスタの拡散領域10をゲート電極11と接続する。局部導体路切片33、34はMOSトランジスタ50のゲート電極の両端子部分と接続している。局部導体路切片33は接触化マトリックスの第1の列の接触部51を、局部導体路切片34は接触化マトリックスの第2のそれに隣接する列の接触部52を含ん

でいる。従って局部導体路切片33、34によって金属製接続面に接近することなく1つの接続マトリックスから隣接するマトリックスに交替することが可能となる。局部導体路切片のこの柔軟性によってこの種の例として記載した半導体装置のMOSトランジスタの拡散領域及びゲート電極を局部的に電気的に接続する場合全く金属製導体路は使用されない。更に金属製配線面は比較的長い低オームの接続に拘束されない。基本セル内又は種々の基本セルの境を接するトランジスタの端子間の接続柔軟性並びに半導体装置の十分間隔の空いている点間の接続は従来技術に比べて高められる。

【0020】局部導体路切片によって縦と横の割合の小さいトランジスタ18、19も接続可能である。これらのトランジスタは供給ポテンシャルの値の範囲にあるレベル装置を作るのに使用することができる。従ってアナログ機能は制限された範囲内で可能である。基本セル1の8個のトランジスタでそれぞれ4つのトランジスタを有する2個の記憶セルを実現することが可能である。更にトランジスタ18、19は有利にはそれぞれ1個の記憶セルをデータ線に接続するための選択トランジスタとして使用することができる。トランジスタ18、19は接触孔マトリックスの列54を介してもまた列53を介しても接触化することができる。即ちトランジスタ18、19を基本セル1の内部で又はそれに隣接する基本セルに向かって部分的に接続することができる。このことは半導体装置によって回路を作るために高い配線柔軟性を保証する利点を有する。

【0021】図示されている実施例には第1の縦と横の割合を有する8個のMOSトランジスタ2ないし9とより小さい第2の縦と横の割合を有する2個のMOSトランジスタ18、19を有する基本セルが示されている。例えば基本セルが第1の実施例の2個又は4個のMOSトランジスタを含んでいる、本発明による半導体装置のもう1つの実施例も可能である。それらのトランジスタの半分はそれぞれnチャネル型トランジスタからなり、もう半分はpチャネル型トランジスタからなる。第1の実施例の4個のMOSトランジスタを有する基本セルの場合それらのトランジスタは個々のトランジスタとしてもまたそれぞれ共有拡散領域を有する対のトランジスタとしても配置することができる。第1の実施例の4個又は8個のMOSトランジスタを有する装置は面積的に有利な静電4個型トランジスタ記憶セルを実現するのに特に適している。

【図面の簡単な説明】

【図1】本発明による半導体装置の基本セルの構成図。

【符号の説明】

- 1 基本セル
- 2、4、6、7 nチャネル型トランジスタ
- 3、5、8、9 pチャネル型トランジスタ
- 10、14、40、42 個々の拡散領域

7

8

12、43 共有拡散領域  
 11、13 ゲート電極  
 23、24、25、26 端子部分  
 30、31、32、33、34、35、36 局部導体  
 路切片  
 15、41、51、52 接触部  
 53、54 接触孔マトリックスの列

16、17 接続範囲  
 18、19 縦と横の割合の小さいもう1つのトランジスタ  
 20、21 拡散領域  
 22 ゲート電極  
 27 端子部分

【図1】

